

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-247531

(43)Date of publication of application : 03.09.1992

(51)Int.Cl.

G06F 11/18

G06F 7/00

G06F 7/38

(21)Application number : 03-013099

(71)Applicant : FUJITSU LTD

(22)Date of filing : 04.02.1991

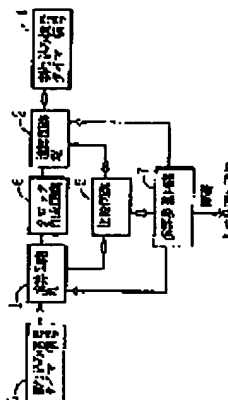
(72)Inventor : TAKAHASHI HIROSHI
ISHIHARA KENJI

(54) FAULT DETECTING SYSTEM

(57)Abstract:

PURPOSE: To present the fault detecting system which does not define the operational not-coincidence of each arithmetic circuit as a fault according to asynchronous signals concerning the fault detecting system of the duplex arithmetic circuits.

CONSTITUTION: An arithmetic stepping circuit 7 is provided to operate respective duplex arithmetic circuits 1 and 2 only for arbitrary clocks, and a means is provided to step one arithmetic circuit only for (n) clocks while stopping the operation of the other arithmetic circuit when non-coincidence is detected between the arithmetic circuits 1 and 2 or to step one arithmetic circuit only for (m)($>n$) clocks while stopping the operation of the other arithmetic circuit. When coincidence is detected by operating only one or the other among the arithmetic circuits 1 and 2 by the means, the stop is canceled and when non-coincidence is detected in the both cases, it is recognized as the fault. 3,4: interruption signal/timer signal, 5: comparator circuit, 6: clock preparing circuit, I: fault, II: announcement to host device.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

décision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-247531

(43) 公開日 平成4年(1992)9月3日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 11/18	3 1 0 F	7832-5B		
7/00				
7/38	V	8323-5B		
		8323-5B	G 0 6 F 7/00	F

審査請求 未請求 請求項の数1(全 6 頁)

(21) 出願番号 特願平3-13099

(22) 出願日 平成3年(1991)2月4日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 高橋 弘

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 石原 健治

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 井桁 貞一

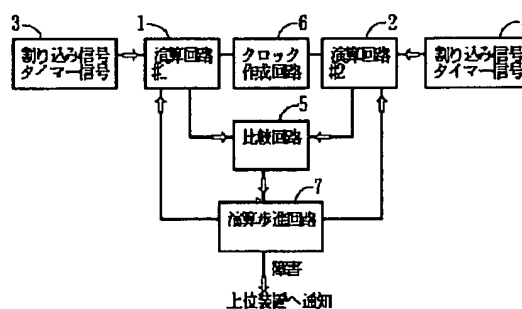
(54) 【発明の名称】 障害検出方式

(57) 【要約】

【目的】 本発明は、二重化された演算回路における障害検出方式に関し、非同期信号により、各々の演算回路の動作が不一致になった場合でも障害としない障害検出方式を提供することを目的とする。

【構成】 二重化された演算回路の各々を任意クロックだけ動作させる演算歩進回路を備え、該演算回路の不一致を検出した場合、一方の演算回路の動作を停止させて、他方の演算回路をnクロックだけ歩進させるか、或いは、他方の演算回路の動作を停止させて、一方の演算回路をm(>n)クロックだけ歩進させる手段を設けて、該手段により、演算回路の一方、又は、他方のみを動作させて一致を検出した場合、該停止を解除し、何れの場合でも不一致を検出した場合、障害と認識するように構成する。

本発明の原理構成図



【特許請求の範囲】

【請求項1】二重化された演算回路(1,2)と、前記二重化された演算回路(1,2)を比較するための比較回路(5)を有する演算装置において、前記二重化された演算回路(1,2)の各々を任意クロックだけ歩進させる演算歩進回路(7)を持ち、前記二重化された演算回路(1,2)を比較するための比較回路(5)が不一致を検出した場合に、前記演算歩進回路(7)が一方の演算回路(1,又は、2)の歩進を停止し、他方の演算回路(2,又は、1)をnクロックだけ歩進させる手段と、前記演算歩進回路(7)が他方の演算回路(2,又は、1)の歩進を停止し、一方の演算回路(1,又は、2)をmクロックだけ歩進させる手段と、前記二重化された演算回路(1,2)を比較するための比較回路(5)が一致を検出した場合に、両方の演算回路(1,2)を歩進させる手段を設けて、前記二重化された演算回路(1,2)の動作に不一致が検出された場合に、前記二重化された演算回路(1,2)の一方(1,又は、2)の歩進を停止し、他方(2,又は、1)をnクロックだけ歩進させて、その間に前記比較回路(5)が一致を検出した場合には、上記一方(1,又は、2)の歩進の停止を解除し、上記の操作で、前記比較回路(5)が一致を検出しなかった場合は、他方(2,又は、1)の歩進を停止し、一方の演算回路(1,又は、2)を、上記nクロックより大きいmクロックだけ歩進させて、その間に前記比較回路が一致を検出した場合には他方の演算回路(2,又は、1)の歩進の停止を解除し、上記何れの操作においても、前記比較回路(5)が一致を検出しなかった場合のみ、該不一致を上位装置に通知することを特徴とする障害検出方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、二重化された演算回路をもつ演算処理装置において、二重化された演算回路の障害検出方式に関する。

【0002】近年の演算処理装置においては、ノーストップ、ノードアウンに対する要求が強い。このためには該演算処理装置を二重化して、どちらか一方の演算処理装置が障害を検出した場合に、他方に切り替えるという方式が一般的に用いられる。

【0003】この時の演算処理装置の障害を的確に検出するために、例えば、内部の演算回路を二重化して比較し、不一致を検出したとき、該演算処理装置の障害とする障害検出方式がある。

【0004】この場合、該二重化された演算回路に、例えば、割り込み信号、又は、タイマー信号等が非同期で入力されると、該演算回路が障害でもないのに不一致を検出してしまふことがあることから、このような非同期事象に起因した不一致を検出することがない障害検出方式が要求される。

【0005】

【従来の技術】図3～図5は、従来の障害検出方式を説

明する図であり、(a)は演算処理装置の構成例を示し、(b1)、(b2)は動作タイムチャートを示している。以下、1クロックで1命令を実行する場合を例として説明する。

【0006】従来の二重化された演算回路1,2を持つ演算処理装置の障害検出方法は、例えば、二重化された演算回路1,2の動作を比較回路5で、クロックに同期して比較し、不一致を検出したとき、該演算処理装置の障害とする障害検出方式が一般的である。

【0007】然しながら、この従来方式においては、各々の演算回路1,2に供給されている割り込み信号①、またはタイマー信号②などによる非同期事象を演算する時に、各々の演算回路1,2の特性差により該非同期事象を一方が演算し、他方が演算しない場合にも障害として検出してしまふ問題があった。

【0008】例えば、(b1)図に示した動作タイムチャートにおいて、該クロックに非同期な割り込み信号①(又は、タイマー信号②)が、該演算回路1,2に対するクロックとクロックとの間に発生した場合、該二重化された演算回路1,2においては、同じクロックで受け付け信号③を生成し、該二重化された演算回路1,2の、例えば、プログラムカウンタ(PC)は、同じクロックタイミングで、割り込みエントリアドレス“8000”を生成し、該生成されたアドレスから、同期して割り込み処理の実行(演算)を開始する。従って、この場合には、該二重化された演算回路1,2で不一致が検出されることはない。

【0009】然して、(b2)図に示した動作タイムチャートにおいては、該クロックに非同期な割り込み信号①(又は、タイマー信号②)が、該演算回路1,2に対するクロックと、ほぼ同じタイミングで発生した場合を示している。

【0010】この場合、該二重化された演算回路1,2では、該非同期信号①、②を受け付ける回路の動作特性のパラツキ等により、それぞれ、別々のクロックで受け付け信号③を作成してしまうことがある。

【0011】従って、該二重化された演算回路1,2のプログラムカウンタ(PC)は、別々なタイミングで割り込みエントリアドレス“8000”を生成して、該割り込み処理を実行する。

【0012】該二重化された演算回路1,2の上記プログラムカウンタ(PC)の値を、比較回路5で比較していると、上記の場合、比較エラーが発生し、当該演算処理装置はエラーと認識される。

【0013】尚、上記の比較対象は、特に、限定されるものではなく、該プログラムカウンタ(PC)の他に、例えば、実行シーケンス回路、演算部(ALU)の演算結果、主要レジスタ等がある。

【0014】

【発明が解決しようとする課題】このため、例えば、上記割り込み信号①、又は、タイマー信号②などを共通回路

として各々の演算回路 1,2に供給し、前記のような非同期事象を一方が演算し、他方が演算しないということが発生しないようにする方法がとる方式が考えられる然しながら、この方法によれば、該共通回路に障害が発生した場合に、該障害を検出できないという問題点がある。

【0015】本発明は上記従来の欠点に鑑み、割込み信号①、又は、タイマー信号②の発生回路などを共通回路とせず、しかも各々の演算回路の特性差により非同期事象を一方が演算し、他方が演算しない場合にも障害としない障害検出方式を提供することを目的とするものである。

【0016】

【課題を解決するための手段】図1は本発明の原理構成図である。上記の問題点は下記の如くに構成した障害検出方式によって解決される。

【0017】二重化された演算回路 1,2と、前記二重化された演算回路 1,2を比較するための比較回路 5を有する演算装置において、前記二重化された演算回路 1,2の各々を任意クロックだけ歩進させる演算歩進回路 7を持ち、前記二重化された演算回路 1,2を比較するための比較回路 5が不一致を検出した場合に、前記演算歩進回路 7が一方の演算回路 1、又は、2の歩進を停止し、他方の演算回路 2、又は、1をnクロックだけ歩進させる手段と、前記演算歩進回路 7が他方の演算回路 2、又は、1の歩進を停止し、一方の演算回路 1、又は、2をmクロックだけ歩進させる手段と、前記二重化された演算回路 1,2を比較するための比較回路 5が一致を検出した場合に、両方の演算回路 1,2を歩進させる手段を設けて、前記二重化された演算回路 1,2の動作に不一致が検出された場合に、前記二重化された演算回路 1,2の一方 1、又は、2の歩進を停止し、他方 2、又は、1をnクロックだけ歩進させて、その間に前記比較回路 5が一致を検出した場合には、上記一方 1、又は、2の歩進の停止を解除し、上記の操作で、前記比較回路 5が一致を検出なかった場合は、他方 2、又は、1の歩進を停止し、一方の演算回路 1、又は、2を、上記nクロックより大きいmクロックだけ歩進させて、その間に前記比較回路 5が一致を検出した場合には他方の演算回路 2、又は、1の歩進の停止を解除し、上記何れの操作においても、前記比較回路 5が一致を検出なかった場合のみ、該不一致を上位装置に通知するように構成する。

【0018】

【作用】本発明の障害検出方式においては、二重化された演算回路に非同期な割り込み信号①、タイマー信号②等が入力され、該二重化された演算回路の、例えば、プログラムカウンタ(PC)を比較して、不一致が検出された場合、例えば、演算回路1側の動作を停止させて、他方の演算回路 2を、例えば、1クロック毎に歩進させる。

【0019】従って、演算回路 1のプログラムカウンタ(PC)が、該非同期な割り込み処理のエントリーアドレス

“8000”になったが、演算回路 2では、未だ、該割り込み処理エントリーアドレス“8000”になっていなかった場合、上記歩進動作により、該演算回路 2を割り込み処理のエントリーアドレス“8000”に入れることができ、一致を検出するようになる。

【0020】若し、逆の場合、即ち、演算回路 2のプログラムカウンタ(PC)が、該非同期な割り込み処理のエントリーアドレス“8000”になったが、演算回路 1では、未だ、該割り込み処理エントリーアドレス“8000”になっていなかった場合、上記の動作により、先行している演算回路 2のプログラムカウンタ(PC)が、更に、先行することになり、一致を検出することができない。

【0021】そこで、本発明の場合、一定クロック数nだけ歩進させて一致が得られない場合、該歩進させていた演算回路 2の動作を停止させて、演算回路 1を1クロック毎に歩進させる。

【0022】然して、該演算回路 1を上記nクロック歩進させた時点で、当初の不一致が発生したタイミング関係となるのみであるので、未だ、一致を得ることはない。そこで、本発明においては、該演算回路 1側をnクロックより多いmクロックだけ歩進させることで、上記非同期信号①、又は、②による非同期事象の場合には、演算回路 1,2の、例えば、プログラムカウンタ(PC)を一致させることができる。

【0023】従って、本発明においては、二重化された演算回路に供給される非同期信号{上記割り込み信号①、又は、タイマー信号②}により、各々の演算回路の動作が不一致になった場合でも障害とすることなく、且つ、同期を取り直すことができ、的確な障害検出が可能になるという効果が得られる。

【0024】

【実施例】以下本発明の実施例を図面によって詳述する。前記の図1は本発明の原理構成図であり、図2は本発明の一実施例を動作タイムチャートで示した図ある。

【0025】本発明においては、二重化された演算回路 1,2の各々を任意クロックだけ動作させる演算歩進回路 7を備え、該演算回路 1,2の不一致を検出した場合、一方の演算回路 1、又は、2の動作を停止させて、他方の演算回路 2、又は、1をnクロックだけ歩進させるか、或いは、他方の演算回路 2、又は、1の動作を停止させて、一方の演算回路 1、又は、2をnより大きいmクロックだけ歩進させる手段を設けて、該手段により、演算回路 1,2の一方、又は、他方のみを動作させて一致を検出した場合、該停止側の演算回路の停止を解除し、何れの場合でも不一致を検出した場合、当該演算処理装置の障害と認識する手段が、本発明を実施するのに必要な手段である。尚、全図を通して同じ符号は同じ対象物を示している。

【0026】以下、図1を参照しながら、図2により、本発明による障害検出方式を説明する。図1は本発明の

5

原理構成図であって、二重化された演算回路 1, 2 を持つ演算処理装置の概略図を示している。

【0027】本図において、1と2は演算回路、3と4は割り込み信号①、又は、タイマー信号②の供給回路、5は二重化された演算回路をクロックタイミングで比較する比較回路であり、不一致の場合は、演算歩進回路 7 に通知する。7 は演算回路 1, 2 を任意クロックだけ歩進できる演算歩進回路である。尚、本実施例では、図 3 の従来方式で説明したように、1クロックで1命令を実行すると仮定する。

【0028】上記比較回路 5 が不一致を検出すると、図 2 の動作タイムチャートで示したように、演算歩進回路 7 が、例えば、演算回路 2 (演算回路 #2 で示す) に対して歩進の停止を指示し、かつ、演算回路 1 (演算回路 #1 で示す) に対して n クロック (本実施例では、例えば、2 クロック) だけ歩進を指示する。

【0029】本実施例においては、上記の動作により、演算回路 2 のプログラムカウンタ (PC) #2 が、例えば、“200C” で停止しており、演算回路 1 のプログラムカウンタ (PC) #1 は、割り込みエントリーアドレス “8000” から “8002”、“8004” と歩進する。

【0030】該 n (= 2) クロックだけ歩進する間に、比較回路 5 が一致を検出すると、演算歩進回路 7 は、演算回路 2 に対して歩進の停止の解除を指示する。該 n (= 2) クロックだけ歩進して、未だ、該比較回路 5 が不一致を検出している場合は、本発明においては、該演算歩進回路 7 が、演算回路 1 に対して歩進の停止を指示する。

【0031】本実施例においては、図 2 から明らかな如く、演算回路 1 のプログラムカウンタ (PC) #1 は、アドレス “8004” の値で停止となる。そして、今まで停止状態にあった演算回路 2 に対して、n クロックより大きい m クロック、本例では、例えば、3 クロックだけの歩進を指示する。

【0032】該 m (= 3) クロックだけ歩進している間に、比較回路 5 が一致を検出 (本例では、プログラムカウンタ (PC) がアドレス “8004” を指示したとき、演算回路 1, 2 のプログラムカウンタ (PC) #1, #2 の値が一致している) すると、該演算歩進回路 7 は、演算回路 1 に対して歩進の停止の解除を指示する。従って、該演算回路 1, 2 はプログラムカウンタ (PC) が示すアドレス “8004” から、同期して、該非同期の割り込み処理を実行することになる。

【0033】若し、m (= 3) クロックだけ歩進しても、比較回路 5 が不一致を検出している場合は、当該演算処理装置の障害と認識して、上記演算歩進回路 7 が上位装置に通知する。

6

【0034】このように、本発明は、二重化された演算回路 1, 2 の各々を任意クロックだけ動作させる演算歩進回路 7 を備え、該演算回路 1, 2 の不一致を検出した場合、一方の演算回路 1、又は、2 の動作を停止させて、他方の演算回路 2、又は、1 を n クロックだけ歩進させるか、或いは、他方の演算回路 2、又は、1 の動作を停止させて、一方の演算回路 1、又は、2 を n より大きい m クロックだけ歩進させる手段を設けて、該手段により、演算回路 1, 2 の一方、又は、他方のみを動作させて一致を検出した場合、該停止側の演算回路の停止を解除し、何れの場合でも不一致を検出した場合、当該演算処理装置の障害と認識するようにした所に特徴がある。

【0035】

【発明の効果】以上、詳細に説明したように、本発明の障害検出方式は、二重化された演算回路を含む演算処理装置において、二重化された演算回路の各々を任意クロックだけ動作させる演算歩進回路を備え、該二重化された演算回路の不一致を検出した場合、一方の演算回路の動作を停止させて、他方の演算回路を n クロックだけ歩進させるか、或いは、他方の演算回路の動作を停止させて、一方の演算回路を n より大きい m クロックだけ歩進させる手段を設けて、該手段により、該二重化された演算回路の一方、又は、他方のみを動作させて一致を検出した場合、該停止側の演算回路の停止を解除し、何れの場合でも不一致を検出した場合、当該演算処理装置の障害と認識するようにしたものである。二重化された演算回路に供給される非同期信号①等により、各々の演算回路の動作が不一致になった場合でも障害としない、かつ同期を取り直すことができ、真の障害のときのみ、上位装置に通知するように動作する為、的確な障害検出が可能となる効果が得られる。

【図面の簡単な説明】

【図 1】本発明の原理構成図

【図 2】本発明の一実施例を動作タイムチャートで示した図

【図 3】従来の障害検出方式を説明する図 (その 1)

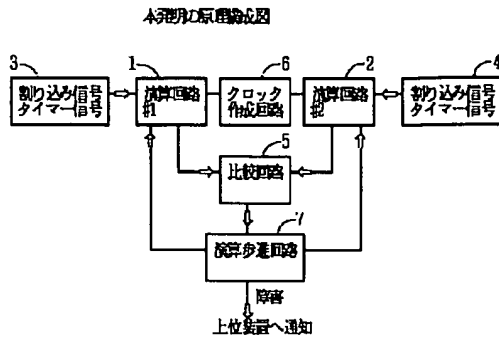
【図 4】従来の障害検出方式を説明する図 (その 2)

【図 5】従来の障害検出方式を説明する図 (その 3)

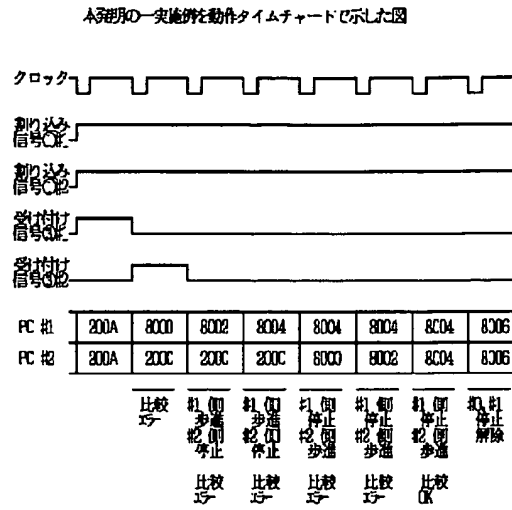
【符号の説明】

1, 2 演算回路
3, 4 割り込み信号, タイマー信号の供給回路
5 比較回路
7 演算歩進回路
① 割り込み信号 ② タイマー信号
PC #1, #2 プログラムカウンタ

【図1】

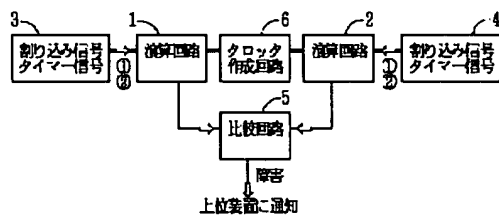


【図2】



【図3】

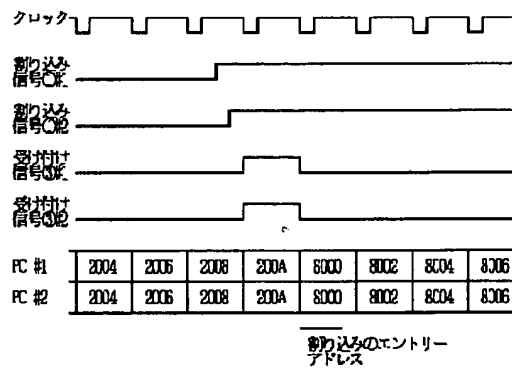
従来の障害検出方式を説明する図 (その1)



(a)

【図4】

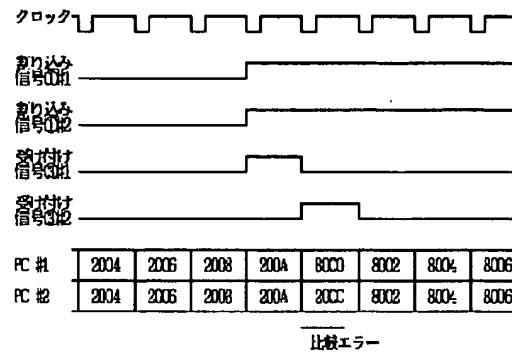
従来の障害検出方式を説明する図 (その2)



(b)

【図5】

従来の降着送出方式を用いる図 (その2)



(b2)